

PAT-NO: JP02001008199A
DOCUMENT-IDENTIFIER: JP 2001008199 A
TITLE: ELECTRONIC ENDOSCOPE DEVICE
PUBN-DATE: January 12, 2001

INVENTOR-INFORMATION:

NAME	COUNTRY
ABE, KAZUNORI	N/A
HIGUCHI, MITSURU	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJI PHOTO OPTICAL CO LTD	N/A

APPL-NO: JP11178440

APPL-DATE: June 24, 1999

INT-CL (IPC): H04N007/18, A61B001/04 , G02B023/24

ABSTRACT:

PROBLEM TO BE SOLVED: To set fine delay amounts corresponding to the length of an electronic scope, and to simplify the constitution.

SOLUTION: An electronic endoscope device for connecting electronic endoscopes 10 having different length with a processor device 12 is provided with a reference delay amount generating circuit 24 which generates a signal with rough reference delay amounts and a small delay amount generating circuit 26 which generates a signal with shorter delay amounts than the reference delay amounts by using a gate delay element or the like. A microcomputer 18 in the processor 12 reads delay amount designation control data D1 and D2 from a ROM 16 in the electronic scope 10, and generates delay drive clocks by the two

delay amount generating circuits 24 and 26 based on the control data
D1 and D2,
and executes picture processing based on the delay signals.

COPYRIGHT: (C)2001,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-8199

(P2001-8199A)

(43) 公開日 平成13年1月12日 (2001.1.12)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 4 N 7/18		H 0 4 N 7/18	M 2 H 0 4 0
A 6 1 B 1/04	3 7 2	A 6 1 B 1/04	3 7 2 4 C 0 6 1
G 0 2 B 23/24		G 0 2 B 23/24	B 5 C 0 5 4

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平11-178440

(22) 出願日 平成11年6月24日 (1999.6.24)

(71) 出願人 000005430

富士写真光機株式会社

埼玉県大宮市植竹町1丁目324番地

(72) 発明者 阿部 一則

埼玉県大宮市植竹町1丁目324番地 富士
写真光機株式会社内

(72) 発明者 樋口 充

埼玉県大宮市植竹町1丁目324番地 富士
写真光機株式会社内

(74) 代理人 100098372

弁理士 緒方 保人

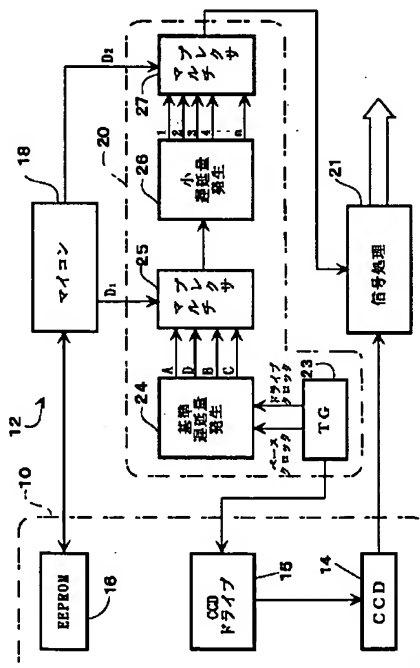
最終頁に続く

(54) 【発明の名称】 電子内視鏡装置

(57) 【要約】

【課題】 電子スコープの長さに対応した細かな遅延量が設定でき、また構成の簡略化が可能となるようにする。

【解決手段】 異なる長さを持つ電子内視鏡10をプロセッサ装置12に接続する電子内視鏡装置において、大まかな基準遅延量の信号を発生する基準遅延量発生回路24と、ゲート遅延素子等を用いて上記基準遅延量よりも短い遅延量の信号を発生する小遅延量発生回路26とを備える。上記プロセッサ装置12内のマイコン18は、電子スコープ10内のROM16から遅延量指定制御データD₁、D₂を読み出し、この制御データD₁、D₂に基づいて、上記の二つの遅延量発生回路24、26により遅延ドライバクロックを形成し、この遅延信号に基づいて画像処理を実行する。



【特許請求の範囲】

【請求項1】 撮像素子が先端部に配置された電子内視鏡と、この電子内視鏡を接続し、上記撮像素子から出力された画像信号に対し所定の信号処理を施すプロセッサ装置とを有する電子内視鏡装置において、大まかな基準遅延量の信号を発生する基準遅延量発生回路と、

この基準遅延量発生回路の基準遅延量よりも短い遅延量の信号を発生する小遅延量発生回路と、

これら遅延量発生回路の協働により上記電子内視鏡の長さに応じた遅延信号を形成し、この遅延信号に基づいて画像処理を制御する制御回路と、を設けたことを特徴とする電子内視鏡装置。

【請求項2】 上記小遅延量発生回路は、複数のゲート遅延素子を設け、このゲート遅延素子を通過する信号の遅れで小遅延量を設定することを特徴とする上記請求項1記載の電子内視鏡装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は電子内視鏡装置、特に異なる長さの電子内視鏡を接続して使用する場合には、撮像素子から伝送される画像信号の処理タイミングのずれを解消するための構成に関する。

【0002】

【従来の技術】電子内視鏡装置では、画像処理をするプロセッサ装置に観察対象の異なる各種の電子内視鏡（電子スコープ）を接続するようになっており、この電子スコープの長さ（ケーブル長等を含む）が異なることから、プロセッサ装置では、画像信号（ビデオ信号）の伝送時間に応じて処理タイミングを一致させるために、処理信号に対し電子スコープの長さに対応した遅延時間を与えている。このような遅延時間を設定制御する従来の装置として、特許第2821196号に示されるものがある。

【0003】この特許に係る装置は、スコープ判別情報を検出し、この情報に基づいて予め分かっている電子スコープの長さに対応した遅延量をマルチタップディレイのタップ選択によって与えると共に、特注の電子スコープの場合は、可変抵抗を用いた手動調整機構に切り換え、これによりマニュアルで遅延量を変えるようにする。この結果、異なる長さの電子内視鏡の多くに対応できるようになっている。

【0004】

【発明が解決しようとする課題】しかしながら、上記従来の電子内視鏡装置で使用するマルチタップディレイ回路では、予め設定されている遅延量にしか対応することができず、しかも設定できる遅延量が大きく、また、細かな遅延量の設定ができないという不具合がある。また、可変抵抗を用いた調整回路をマルチタップディレイ回路と共に設けて調整を行うのは調整作業が伴い、この

調整作業は従来のスコープと新規のスコープの接続毎に行う必要があるため取扱いが煩雑となる。

【0005】本発明は上記問題点を鑑みてなされたものであり、その目的は、電子スコープの長さに対応した細かな遅延量が設定でき、また構成の簡略化が可能となる電子内視鏡装置を提供することにある。

【0006】

【課題を解決するための手段】上記目的を達成するために、請求項1は、撮像素子が先端部に配置された電子内視鏡と、この電子内視鏡を接続し、上記撮像素子から出力された画像信号に対し所定の信号処理を施すプロセッサ装置とを有する電子内視鏡装置において、大まかな基準遅延量の信号を発生する基準遅延量発生回路と、この基準遅延量発生回路の基準遅延量よりも短い遅延量の信号を発生する小遅延量発生回路と、これら遅延量発生回路の協働により上記電子内視鏡の長さに応じた遅延信号を形成し、この遅延信号に基づいて画像処理を制御する制御回路と、を設けたことを特徴とする。請求項2に係る発明は、上記小遅延量発生回路では、複数のゲート遅延素子を設け、このゲート遅延素子を通過する信号の遅れで小遅延量を設定することを特徴とする。

【0007】上記の構成によれば、基準遅延量発生回路と小遅延量発生回路のそれぞれに、電子内視鏡から得られる遅延量制御データを与えることにより、各遅延量発生回路で発生した二つの遅延量が指定・選択され、この二つを加算した量が遅延量として設定される。このような2個の発生回路の組合せ及び協働により、シンプルな構成で細かな遅延量の設定が可能となる。

【0008】

【発明の実施の形態】図1乃至図3には、実施形態例に係る電子内視鏡装置の構成が示されており、図1に示されるように、電子内視鏡（電子スコープ）10がプロセッサ装置（この装置には光源装置を含む場合もある）12に接続できるように構成される。この電子スコープ10には、先端部にCCD（Charge Coupled Device）14が配置されると共に、このCCD14からビデオ信号を読み出すためのCCDドライブ回路15が設けられる。

【0009】また、電子スコープ10には、プロセッサ装置12に接続してビデオ信号の読出し及び画像処理をするための各種情報を記憶させるROM（読出し専用メモリ、例えばEEPROM）16が設けられており、このROM16内に当該電子スコープ10の長さに対応した遅延量の制御データが格納される。当該例では、後述する遅延量発生回路（24、26）でのそれぞれの遅延量を直接指定するビットデータを記憶している。

【0010】一方、プロセッサ装置12側では、上記ROM16内のデータを読み出しかつ装置内の回路を統括制御するマイコン18が設けられると共に、上記CCDドライブ回路15へ供給するタイミング信号及び所定の

遅延量を与えたタイミング信号（ドライブクロック信号）等が発生させるタイミング信号発生部20や上記C D 14から入力したビデオ信号の画像処理をする信号処理回路21等が設けられる。

【0011】上記タイミング信号発生部20内には、ベースクロック信号とドライブクロック信号が発生させるタイミングジェネレータ（TG）23、このベースクロック信号及びドライブクロック信号から大まかな遅延量が与えられたドライブクロック信号を形成する基準遅延量発生回路24、この発生回路24で得られた信号を上記マイコン18からの制御データにより選択するマルチプレクサ25が設けられる。

【0012】図2には、上記マルチプレクサ25の内部構成が示されており、このマルチプレクサ25は例えば遅延量を2ビットの制御データ（選択数に応じてビット数は多くなる）で選択する論理演算回路25f、アンド回路25a、25d、25b、25c、オア回路25gからなる。即ち、上記基準遅延量発生回路24で例えば大まかな遅延量を持つ S_A 、 S_D 、 S_B 、 S_C 、の4つのドライブクロック信号が形成され、上記マイコン18から論理演算回路25fへ2ビットの遅延量指定の制御データ D_1 が与えられるとすると、それに応じて出力 Q_1 、 Q_2 、 Q_3 、 Q_4 の何れかがHighとなる。例えば、出力 Q_1 がHighとなれば、アンド回路25a、オア回路25gを介して基準遅延量信号（ドライブクロック信号） S_A が出力され、出力 Q_2 がHighとなれば、アンド回路25d、オア回路25gを介して基準遅延信号 S_D が出力される。

【0013】また、図1に示した上記マルチプレクサ25の後段には、小遅延量発生回路26及びマルチプレクサ27が設けられており、これらの回路の詳細が図3に示される。図3において、小遅延量発生回路26にはCMOSTランジスタ等からなる例えば6個のゲート遅延素子26a、26b、26c、26d、26e、26fが設けられ、これらのゲート遅延素子26a～26fのそれぞれの出力がマルチプレクサ27の入力ポート1～6に接続される。

【0014】このゲート遅延素子26a～26fは、トランジスタ素子内を通過する時間（最小でナノ単位）だけ信号を遅らせる役目をし、これによって上記の基準遅延量よりも短い遅延量を設定することになり、ここでは遅延量の異なる6つのドライブクロック信号を出力することができる。なお、このゲート遅延素子26a～26fの数は、使用するトランジスタ素子の遅延量及び上記基準遅延量との関係で任意に設定されるもので、当該例では説明を簡単にするために少なくし設定している。

【0015】また、上記マルチプレクサ27の内部構成は基本的に図2と同様となり、マイコン18から供給される例えば3ビットの遅延量制御データ（選択数に応じてビット数は多くなる） D_2 をポート H_1 、 H_2 、 H_3

から入力し、この制御データ D_2 で小遅延量が与えられた6つのドライブクロック信号を選択することになる。

【0016】実施形態例は以上の構成からなり、その作用を図4に基づいて説明する。図4（A）、（B）には、図1のタイミングジェネレータ23から出力されるベースクロック、ドライブクロックが示されており、当該例のドライブクロックの周期はベースクロックの周期 t_B の2倍（ $2t_B$ ）に設定されており、上記基準遅延量発生回路24では、図4（C）～（F）に示されるように、論理演算等によって上記ベースクロック周期 t_B の $1/2$ （ $t_B/2$ ）毎にずれた基準遅延量を持つドライブクロック信号 S_A 、 S_D 、 S_B 、 S_C が形成される。

【0017】一方、小遅延量発生回路26では、ゲート遅延素子26a～26fによって一つの素子内を通過する小遅延量 t_s のずれがある6つのドライブクロック信号が形成される。例えば、基準遅延量発生回路24で得られた図4（F）の信号 S_C を選択した場合は、図3のマルチプレクサ27の入力ポート1～6を選択することにより、図4（G）～（L）に示されるように、小遅延量 t_s だけ順にずれたドライブクロック信号 Sc_1 、 Sc_2 、 Sc_3 、 Sc_4 、 Sc_5 、 Sc_6 が形成されることになる。なお、他の基準遅延量信号 S_A 、 S_B 、 S_D についても同様にして6個の信号が形成される。

【0018】このようなタイミング信号発生回路20を有するプロセッサ装置12に、電子スコープ10が接続されると、マイコン18はROM16から遅延量に関する制御データ（直接指定のデータ） D_1 、 D_2 を取得し、上記基準遅延量発生回路24に対して2ビットの制御データ D_1 を供給することにより、上記基準遅延量信号 S_A 、 S_B 、 S_C 、 S_D の何れかが得られる。また、上記小遅延量発生回路26に対して3ビットの制御データ D_2 を供給することにより、上記基準遅延量よりも細かく設定された遅延信号が得られ、例えば上記信号 S_C を選択する制御データ D_1 と入力ポート3（マルチプレクサ27）を選択する制御データ D_2 が入力されている場合は、図4（I）のドライブクロック信号が遅延信号として出力される。

【0019】なお、図3のマルチプレクサ27のポート0を選択した場合は、上記基準遅延量信号 S_A 、 S_B 、 S_C 、 S_D の何れかが遅延信号として出力される。そして、この遅延ドライブクロック信号は、信号処理回路21へ供給されることによって、個々の電子スコープ10の長さを考慮した画像処理が良好に実施される。このようにして、実施形態例では、大まかな遅延量が発生させる回路と短い遅延量が発生させる回路を組合せることで、シンプルな構成により遅延量を細かく設定できるという利点がある。

【0020】また、当該実施形態例では、電子スコープ10のROM16内に記憶させたスコープ遅延量の直接

5

指定データを読み出す構成としたが、スコープIDデータのみが書き込まれている場合等において、マイコン18がIDデータから遅延量を判定し、これによって所定遅延量の信号を形成するようにしてもよい。更に、上記の基準遅延量発生回路24と小遅延量発生回路26は、前後を逆に配置しても上記と同様に遅延信号を形成することができる。

【0021】

【発明の効果】以上説明したように、本発明によれば、所定の大きな基準遅延量の信号を発生する基準遅延量発生回路と、複数のゲート遅延素子等を利用し上記基準遅延量よりも短い遅延量の信号を発生する小遅延量発生回路とを設け、これら遅延量発生回路の協働により電子内視鏡の長さに応じた遅延信号を形成したので、電子スコープの長さに対応した細かな遅延量の設定がシンプル

6

な構成で可能となるという利点がある。

【図面の簡単な説明】

【図1】本発明の実施形態例に係る電子内視鏡装置の構成を示すブロック図である。

【図2】実施形態例のマルチプレクサ内の構成を示す回路図である。

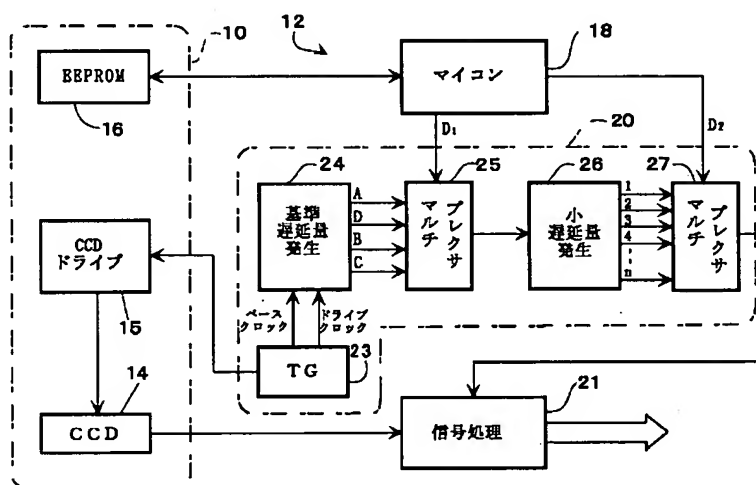
【図3】実施形態例の小遅延量発生回路及びマルチプレクサの構成を示す回路図である。

【図4】実施形態例の動作を示す信号波形図である。

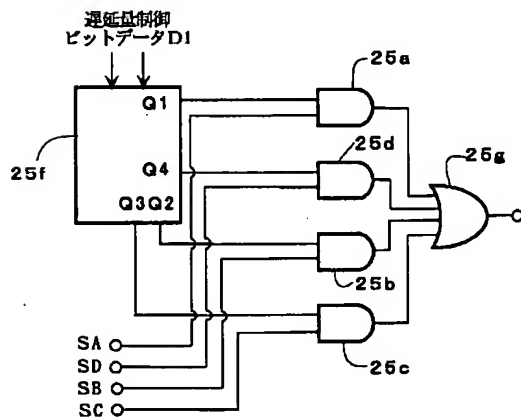
【符号の説明】

10 … 電子スコープ、12 … プロセッサ装置、14 … CCD、18 … マイコン、20 … 信号発生回路、24 … 基準遅延量発生回路、25, 27 … マルチプレクサ、26 … 小遅延量発生回路、26a～26f … ゲート遅延素子。

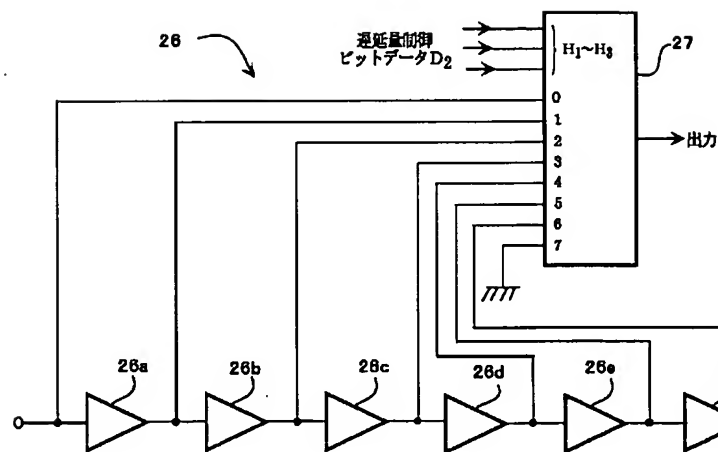
【図1】



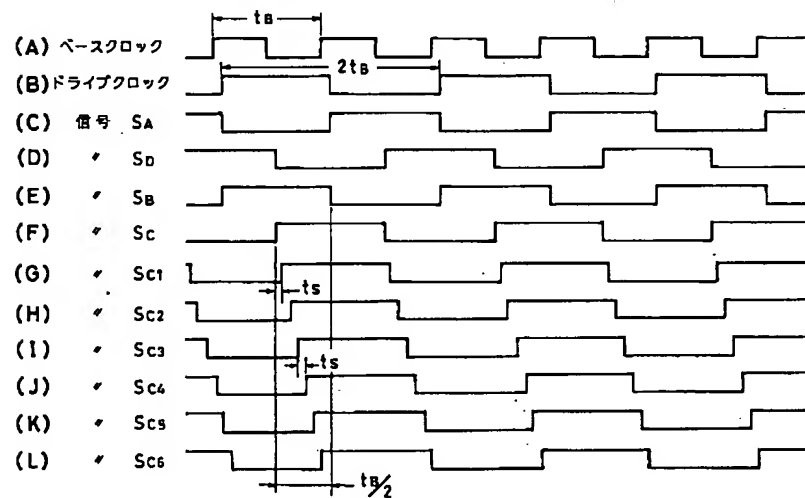
【図2】



【図3】



【図4】



フロントページの続き

Fターム(参考) 2H040 GA00 GA02 GA05
 4C061 AA00 BB00 CC06 DD00 JJ18
 LL02 NN05 NN07 NN09 SS30
 UU09 YY14
 5C054 CC03 CC07 EA01 EA03 ED11
 HA12